⑫ 公 開 特 許 公 報(A)

平1-190106

®Int. Cl. ⁴

識別記号

庁内整理番号

❸公開 平成1年(1989)7月31日

H 03 B H 03 K

J -6832-5 J 8425-5 J

審查請求 未請求 請求項の数 1 (全3頁)

SA発明の名称 発振回路

> ②特 願 昭63-16111

②出 顧 昭63(1988)1月26日

仰発 明 老 和俊

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社北伊丹

製作所内

⑪出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

個代 理 人 弁理士 大岩 増雄 外2名

BEST AVAILABLE COPY

1. 発明の名称

発振回路

2. 特許請求の範囲

相補形 MOS(CMOS) インバータからなる増幅 回路と、上記増幅回路からの出力を検出する動作 検出回路と、上記検出回路に制御されるスイッチ 回路と、上記スイツチ回路によつて増幅回路に挿 入あるいは非掃入される抵抗器を備えた発振回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、発振回路に係り、特に、低消費電 力で動作する発振回路に関するものである。

〔従来の技術〕

第4図、及び第5図は、従来の発掘回路を示す 回路図である。図において、(1)はCMOSインバー タ、(2)は帰環抵抗、(3)は水晶振動子、(4)は発振入 力容量、(5)は発振出力容量、(6)は出力端子、(7)は 出力抵抗である。

次に動作について説明する。CMOSィンバータ

(1)、帰環抵抗(2)よりなる増幅回路に、水晶振動子 (3)、発版入力容量(4)、発版出力容量(5)を接続する と、電源投入後、又は発振停止の解除後、発振が 開始し、出力端子(6)には第2図に示すような波形 が出力される。

第3図に示す直線(1)は従来の発掘回路の消費電 流 (losc)と電源電圧 (VDD) の関係を示す。 Vstart は、発振開始電圧、 Vend は発振停止電圧、 VDD-VB (Va>Vstart)とした時の消費電流は、 Iosci とな

〔 発明が解決しようとする課題〕

従来の水晶発掘回路は以上のように構成されて いるので、発振時の消費電流を小さくするために 第5図のように出力抵抗(7)を挿入すると、 loscと Vop の関係は第3図に示す直線(2)のようになるが、 Vstartが大きくなつてしまい、VBをVstartより大 きくする必要がある。

ての発明は、上記のような課題点を解消するた めになされたもので、消費電流の小さい発振回路 を得ることを目的とする。

(課題を解決するための手段)

この発明に係る発掘回路は、発掘波形の検出回路と、その検出回路によつて増稲回路に出力抵抗を挿入、あるいは非挿入するスイッチ回路を備えたものである。

(作用)

この発明における発振回路は発振開始時は、出 力抵抗を挿入せず、発振開始後は、出力抵抗を挿 入する。

(実施例)

第1 図はこの発明の一実施例である発掘回路の回路図である。図において、(1) ないし(7) は従来例として説明した第4 図、及び第5 図に示したものと同等であるので説明を省路する。(8) は正常な発掘が開始したかを検出する発掘動作検出回路、(9) は発掘動作検出回路によつて制御されるスイッチ回路である。

また、第6図に、発掘動作検出回路(8)とスイツチ回路(9)の実施例を示す。

電源投入時、又は発掘停止の解除直後は、発振

ものを示したが、他にセラミツクフイルタによる 発振回路、LC発振回路においても同様の効果が ある。

〔発明の効果〕

以上のように、この発明によれば発振動作検出回路によつて制御されるスイッチ回路が、抵抗を 挿入、あるいは非挿入することにより、発振回路 の発振時の消費電流を小さくできる。

4. 図面の簡単な説明

第1図は、この発明の一実施例による発振回路の回路図、第2図は、出力端子に表れる発振改形を示す図、第3図は、電源電圧と消費電流の関係を示すグラフ、第4図及び第5図は、従来の発振回路の回路図である。第6図は、この発明の実施例における発振動作検出回路と、スイッチ回路の具体例の回路図である。

図において(1)は CMOS インバータ、(2)は帰還抵抗、(3)は水晶発振子、(4)は発振入力容量、(5)は発振力容量、(6)は出力端子、(7)は出力抵抗、(8)は発振動作検出回路、(9)はスイッチ回路である。

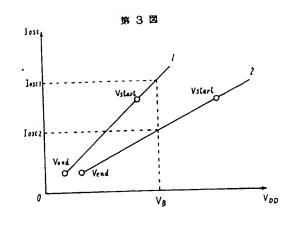
動作検出回路線には、発振励作が検出されておら ず、第6図の発掘動作検出回路の出力には"L"が 出力され、スイツチ回路(9)のトランスミツション ゲートは、ONし、スイツチ回路(9)は、閉状般と なる。この時消費電流 Iosc と電源電圧 Vpd の関係 は、第3図に示す直線(1)のようになり、電源電圧 VDD = VBの時、 VB>Vstart(発振開始電圧)である から発振が開始される。発振開始後は、発振動作 が発振動作検出回路(8)によつて検出され、第6図 の発振動作検出回路に発振波形が入力されると、 出力には"H"が出力され、スイツチ回路(9)のトラ ンスミツションゲートはOFFし、スイツチ回路(9) は、開の状態となり、出力抵抗(7)が挿入される。 この時、 Iosc と VDD の関係は図 3 に示す直線(2)の ようになり、 VDD = VB の時の消費電流は、 Iosc 2 となる。また、 VB>Vend(発振停止電圧)である から発掘は停止しない。従つて、発振開始直後の 消費電流は、 Iosciとなるが、発振後には、消費電 流は、 losc2となる。

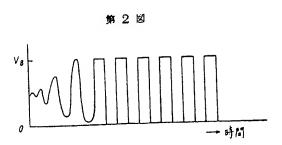
上記実施例では、水晶振動子による発振による

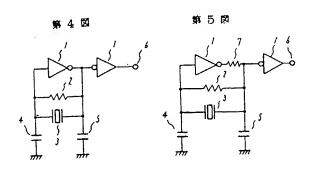
なお、図中、同一符号は同一、又は相当部分を 示す。

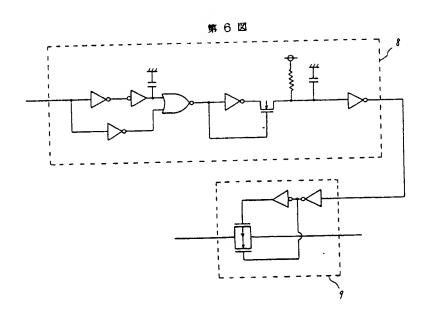
代理人 大岩增雄

BEST AVAILABLE COPY









BEST AVAILABLE COPY